

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-202798**

(43)Date of publication of application : **27.07.2001**

(51)Int.Cl.

G11C 29/00  
G01R 31/28  
G06F 11/22  
G06F 12/16  
G11C 11/407  
G11C 11/401  
H01L 27/04  
H01L 21/822

(21)Application number : **2000-011626**

(71)Applicant : **FUJITSU LTD  
FUJITSU VLSI LTD**

(22)Date of filing : **20.01.2000**

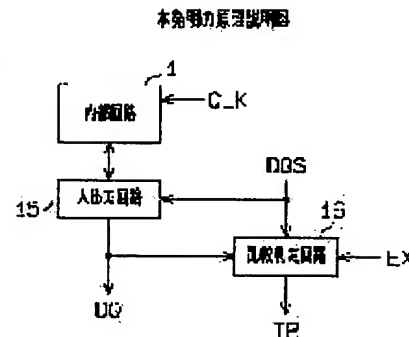
(72)Inventor : **KOTO TOMOHIKO**

## (54) SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device provided with a test circuit in which a performance test time can be shortened without increasing a circuit area.

**SOLUTION:** An internal circuit 1 is operated based on a first reference clock signal CLK, an input/output circuit 15 performs output operation of data DQ outputted from the internal circuit 1 and data input/output operation for the internal circuit 1 based on a second reference clock signal DQS. A comparison discriminating circuit 16 outputs a discriminated result TR in which it is compared and discriminated whether data DQ to be discriminated outputted from the internal circuit 1 and an expected value EX of the data to be discriminated are coincident or not based on the second reference clock signal DQS.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-202798  
(P2001-202798A)

(43) 公開日 平成13年7月27日 (2001.7.27)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)	
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 Z	2 G 0 3 2
G 0 1 R 31/28		G 0 6 F 11/22	3 1 0 T	5 B 0 1 8
G 0 6 F 11/22	3 1 0		3 1 0 F	5 B 0 2 4
	3 5 0		3 5 0 G	5 B 0 4 8
		12/16	3 3 0 A	5 F 0 3 8

審査請求 未請求 請求項の数10 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2000-11626(P2000-11626)

(22) 出願日 平成12年1月20日 (2000.1.20)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 古藤 友彦

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 100068755

弁理士 恩田 博宜 (外1名)

最終頁に続く

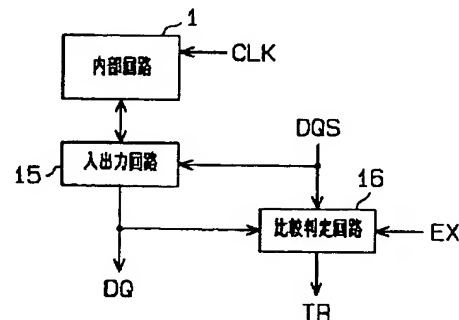
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】回路面積を増大させることなく、動作試験時間の短縮を図り得る試験回路を備えた半導体装置を提供する。

【解決手段】内部回路1は、第一の基準クロック信号CLKに基づいて動作し、入出力回路15は、第二の基準クロック信号DQSに基づいて、内部回路1から出力されるデータDQの出力動作と、内部回路1へのデータ入力動作とを行う。比較判定回路16は、第二の基準クロック信号DQSに基づいて、内部回路1から出力される被判定データDQと該被判定データの期待値EXとが一致するか否かを比較判定した判定結果TRを出力する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 第一の基準クロック信号に基づいて動作する内部回路と、

第二の基準クロック信号に基づいて、前記内部回路から出力されるデータの出力動作と、前記内部回路へのデータ入力動作とを行う入出力回路とを備えた半導体装置であって、

前記第二の基準クロック信号に基づいて、前記内部回路から出力される被判定データと、該被判定データの期待値とが一致するか否かを比較判定した判定結果を出力する比較判定回路を備えたことを特徴とする半導体装置。

【請求項2】 前記比較判定回路は、前記被判定データと期待値とを比較した比較結果を出力する比較回路と、

前記比較結果に基づいて、前記被判定データが正常か否かを判定した判定結果を出力する判定回路とから構成したことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記比較回路は、シリアルデータとして入力される前記被判定データを、前記第二の基準クロック信号に基づいてパラレルデータに変換することにより、該被判定データの出力周波数を低下させるシリアル-パラレル変換部と、前記シリアル-パラレル変換部から出力される各被判定データと前記期待値とが一致するか否かを比較結果として出力する比較部とから構成し、

前記判定回路は、前記比較結果がすべて正常か否かを判定した前記判定結果を、前記第二の基準クロック信号に同期して出力することを特徴とする請求項2記載の半導体装置。

【請求項4】 前記シリアル-パラレル変換部は、前記第二の基準クロック信号の立ち上がり及び立ち下がりに基づいて交互に導通する一対のスイッチ回路と、前記各スイッチ回路を介して入力される前記被判定データをそれぞれラッチするラッチ回路とから構成したことを特徴とする請求項3記載の半導体装置。

【請求項5】 前記シリアル-パラレル変換部は、前記第二の基準クロック信号の立ち上がり及び立ち下がりに基づいて交互に導通する複数対のスイッチ回路と、前記各スイッチ回路を介して入力される前記被判定データをそれぞれラッチするラッチ回路と、前記第二の基準クロック信号をカウントしたカウント値に基づいて、前記複数対のスイッチ回路の中からいずれかの対を順次選択して、前記被判定データを選択した対のスイッチ回路に出力する選択回路とから構成したことを特徴とする請求項3記載の半導体装置。

【請求項6】 前記比較回路は、シリアルデータとして入力される前記被判定データを前記期待値と順次比較して前記比較結果を出力する構成とし、前記判定回路は、

シリアルデータとして入力される前記比較結果を、前記第二の基準クロック信号に基づいてパラレルデータに変換することにより、該比較結果の出力周波数を低下させるシリアル-パラレル変換部と、

前記シリアル-パラレル変換部から出力される比較結果がすべて正常か否かを判定した前記判定結果を、前記第二の基準クロック信号に同期して出力する判定部とから構成したことを特徴とする請求項2記載の半導体装置。

【請求項7】 前記シリアル-パラレル変換部は、前記第二の基準クロック信号の立ち上がり及び立ち下がりに基づいて交互に導通する一対のスイッチ回路と、前記各スイッチ回路を介して入力される前記比較結果をそれぞれラッチするラッチ回路とから構成したことを特徴とする請求項6記載の半導体装置。

【請求項8】 前記シリアル-パラレル変換部は、前記第二の基準クロック信号の立ち上がり及び立ち下がりに基づいて交互に導通する複数対のスイッチ回路と、前記各スイッチ回路を介して入力される前記比較結果をそれぞれラッチするラッチ回路と、前記第二の基準クロック信号をカウントしたカウント値に基づいて、前記複数対のスイッチ回路の中からいずれかの対を順次選択して、前記比較結果を選択した対のスイッチ回路に出力する選択回路とから構成したことを特徴とする請求項6記載の半導体装置。

【請求項9】 前記比較回路及び判定回路には、位相シフト回路を介して前記第二の基準クロック信号を入力して、該第二の基準クロック信号の位相を調節可能としたことを特徴とする請求項2乃至8のいずれかに記載の半導体装置。

【請求項10】 前記被判定信号は、DDR SDRAMの読み出しデータとしたことを特徴とする請求項1乃至9のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、データ書き込み動作及びデータ読み出し動作をクロック信号に同期して行うシンクロナスDRAMに関するものである。

【0002】近年、メモリ周辺機器の動作速度の高速化にともない、DRAM等のメモリの動作速度の高速化が進み、データ書き込み動作及びデータ読み出し動作をクロック信号に同期して行うシンクロナスDRAM (SDRAM) が実用化されるに至った。また、SDRAMにおいても、動作速度の更なる高速化を図るために、SDR (single data rate) からDDR (double data rate) へと移行している。そして、このようなDDR SDRAMの動作試験を確実にかつ低コストで行うことが必要となっている。

【0003】

【従来の技術】DDR SDRAMは、既存のSDRAMに対して、書き込み動作及び読み出し動作のデータレー

トを2倍に向上させたものである。その読み出し動作を図16に従って説明する。

【0004】動作制御信号CMとして、読み出しコマンドReadが入力されると、基準クロック信号CLKの立ち上がりに基づいてその読み出しコマンドReadが取り込まれ、所定のリードレイテンシーRL後に、第二の基準クロック信号DQSと、出力データDQの出力が開始される。

【0005】このとき、出力データDQは、第二の基準クロック信号DQSの立ち上がり及び立ち下がりに同期して出力されるため、既存のSDRAMに対し、データレートは2倍となる。

【0006】書き込み動作時には、第二の基準クロック信号DQSと入力データDQが入力され、第二の基準クロック信号DQSの立ち上がり及び立ち下がりに同期して書き込み動作が行われる。

【0007】このようなDDRSDRAMの動作試験を行うには、そのデータレートが既存の試験装置のデータレートを上回っていることがある。そこで、DDRSDRAMには、試験装置とデータレートを適合させるためのテスト回路があらかじめ搭載されている。

【0008】そのテスト回路の一例を図17に従って説明する。基準クロック信号CLK及び動作制御信号CMに基づいて、メモリ回路1から並行して読み出される読み出しデータDaN、DbNは、マルチプレクサ回路2に入力される。

【0009】マルチプレクサ回路2は、テストモード切り換え回路3により制御される。すなわち、テストモード切り換え回路3は、スイッチ回路SW1、SW2を備え、通常モード時にはスイッチ回路SW1を介して第二の基準クロック信号DQSをマルチプレクサ回路2に出力し、テストモード時には第二の基準クロック信号DQSに加えて、スイッチ回路SW2を介して読み出しデータDaN、DbNのいずれかを選択するための選択信号SLをマルチプレクサ回路2に出力する。

【0010】マルチプレクサ回路2は、通常モード時には、第二の基準クロック信号DQSのみが入力されると、図16に示すように、その立ち上がり及び立ち下がりに基づいて、読み出しデータDaN、DbNを交互に出力し、その読み出しデータDaN、DbNが出力回路4から出力データDQとして出力される。

【0011】一方、マルチプレクサ回路2は、テストモード時に、第二の基準クロック信号DQSに加えて、例えばHレベルの選択信号SLが入力されると、図18に示すように、読み出しデータDaNを第二の基準クロック信号DQSの立ち上がりに基づいて出力し、その読み出しデータDaNが出力回路4から出力データDQとして出力される。

【0012】また、Lレベルの選択信号SLが入力されると、読み出しデータDbNを第二の基準クロック信号

DQSの立ち上がりに基づいて出力し、その読み出しデータDbNが出力回路4から出力データDQとして出力される。

【0013】このような動作により、DDRSDRAMのデータレートを1/2として、動作速度の遅い試験装置に出力データDQが入力される。そして、試験装置では、あらかじめ書き込まれた書き込みデータと、出力データDQとを比較することにより、当該DDRSDRAMが正常に動作しているか否かが判定される。

【0014】

【発明が解決しようとする課題】ところが、上記のようなテスト回路による動作試験では、試験装置に出力データDQを出力するデータレートが1/2となるため、全記憶セルのセル情報を読み出す場合、通常データレートで出力データDQを出力する場合に比して、2倍の時間が必要となる。従って、試験時間及び試験コストが増大するという問題点がある。

【0015】また、当該DDRSDRAMがdouble data rateの正常なデータレートで出力データDQを出力しているか否かを検出することができないという問題点もある。

【0016】また、特開平11-101855号公報には、外部から供給される基準クロック信号を分周する分周回路を備え、その分周回路の分周信号を上記第二の基準クロック信号として使用することにより、試験装置に合わせてデータレートを低下させる構成が開示されている。

【0017】ところが、このような構成では、分周回路の動作遅延時間により、基準クロック信号の立ち上がり、分周信号の立ち上がりとの間に時間的ずれが生じると、試験装置により書き込みデータの読み出しデータとの比較を正常に行うことができなくなることがある。

【0018】そこで、分周信号と基準クロック信号とのずれを解消するような制御回路をテスト回路内に搭載すると、テスト回路の回路規模及び回路面積が増大し、かつ素子数の多い分周回路を搭載すること自体、テスト回路の回路規模及び回路面積を増大させるという問題点がある。

【0019】この発明の目的は、回路面積を増大させることなく、動作試験時間の短縮を図り得る試験回路を備えた半導体装置を提供することにある。

【0020】

【課題を解決するための手段】図1は、請求項1の原理説明図である。すなわち、内部回路1は、第一の基準クロック信号CLKに基づいて動作し、入出力回路15は、第二の基準クロック信号DQSに基づいて、前記内部回路1から出力されるデータDQの出力動作と、前記内部回路1へのデータ入力動作とを行う。比較判定回路16は、前記第二の基準クロック信号DQSに基づいて、前記内部回路1から出力される被判定データDQと

該被判定データの期待値EXとが一致するか否かを比較判定した判定結果TRを出力する。

【0021】また、図2に示すように、前記比較判定回路は、前記被判定データと期待値とを比較した比較結果を出力する比較回路と、前記比較結果に基づいて、前記被判定データが正常か否かを判定した判定結果を出力する判定回路とから構成した。

【0022】また、図3及び図4に示すように、前記比較回路は、シリアルデータとして入力される前記被判定データを、前記第二の基準クロック信号に基づいてパラレルデータに変換することにより、該被判定データの出力周波数を低下させるシリアル-パラレル変換部と、前記シリアル-パラレル変換部から出力される各被判定データと前記期待値とが一致するか否かを比較結果として出力する比較部とから構成し、前記判定回路は、前記比較結果がすべて正常か否かを判定した前記判定結果を、前記第二の基準クロック信号に同期して出力する。

【0023】また、図3に示すように、前記シリアル-パラレル変換部は、前記第二の基準クロック信号の立ち上がり及び立ち下がりに基づいて交互に導通する一対のスイッチ回路と、前記各スイッチ回路を介して入力される前記被判定データをそれぞれラッチするラッチ回路とから構成した。

【0024】また、図7～図9に示すように、前記比較回路は、シリアルデータとして入力される前記被判定データを前記期待値と順次比較して前記比較結果を出力する構成とし、前記判定回路は、シリアルデータとして入力される前記比較結果を、前記第二の基準クロック信号に基づいてパラレルデータに変換することにより、該比較結果の出力周波数を低下させるシリアル-パラレル変換部と、前記シリアル-パラレル変換部から出力される比較結果がすべて正常か否かを判定した前記判定結果を、前記第二の基準クロック信号に同期して出力する判定部とから構成した。

【0025】また、図9に示すように、前記シリアル-パラレル変換部は、前記第二の基準クロック信号の立ち上がり及び立ち下がりに基づいて交互に導通する一対のスイッチ回路と、前記各スイッチ回路を介して入力される前記比較結果をそれぞれラッチするラッチ回路とから構成した。

【0026】また、図13に示すように、前記比較回路及び判定回路には、位相シフト回路を介して前記第二の基準クロック信号を入力して、該第二の基準クロック信号の位相を調節可能とした。

【0027】

【発明の実施の形態】（第一の実施の形態）図2は、この発明を具体化した第一の実施の形態を示す。前記従来例と同一構成部分は、同一符号を付して説明する。

【0028】DDRSDRAMを構成するメモリ回路1は、前記従来例と同様であり、基準クロック信号CLK

及び動作制御信号CMが入力される。そして、基準クロック信号CLK及び読み出しコマンドReadの入力に基づいて、読み出しデータDaN、DbN（N=1, 2, …）をマルチプレクサ回路2に出力する。

【0029】マルチプレクサ回路2は、第二の基準クロック信号DQSの入力に基づいて、読み出しデータDaN、DbNを交互に出力する。出力回路4は、マルチプレクサ回路2から出力された読み出しデータDaN、DbNを、外部へ出力データDQとして出力する。

【0030】前記出力データDQは、スイッチ回路SW3を介して比較回路5に入力され、前記第二の基準クロック信号DQSは、スイッチ回路SW4を介して比較回路5に入力される。

【0031】前記比較回路5には、テストモード時にメモリ回路1にあらかじめ書き込まれた書き込みデータが期待値EXとして入力される。そして、比較回路5は、出力データDQと期待値EXとを比較して、その比較結果CRを判定回路6に出力する。

【0032】前記判定回路6には、前記第二の基準クロック信号DQSがスイッチ回路SW4を介して入力され、その第二の基準クロック信号DQSと前記比較結果CRとに基づいて、判定結果TRを外部試験装置に出力する。

【0033】前記スイッチ回路SW3、SW4は、テストモード切り換え回路を構成し、テストモード時に導通するように構成される。そして、前記スイッチ回路SW3、SW4及び比較回路5及び判定回路6とで試験回路が構成される。

【0034】前記比較回路5の具体的構成を図3に示す。すなわち、図3に示す比較回路5aは、前記出力データDQが転送ゲート9aを介してラッチ回路8aに入力され、転送ゲート9bを介してラッチ回路8bに入力される。

【0035】前記第二の基準クロック信号DQSは、前記転送ゲート9aのNチャネル側ゲートに入力されるとともに、前記転送ゲート9bのPチャネル側ゲートに入力される。

【0036】また、前記第二の基準クロック信号DQSは、インバータ回路10aを介して前記転送ゲート9aのPチャネル側ゲートに入力されるとともに、前記転送ゲート9bのNチャネル側ゲートに入力される。

【0037】従って、前記第二の基準クロック信号DQSがHレベルとなると、転送ゲート9aが導通するとともに、転送ゲート9bが不導通となる。また、第二の基準クロック信号DQSがLレベルとなると、転送ゲート9aが導通するとともに、転送ゲート9bが不導通となる。

【0038】前記ラッチ回路8aの出力信号は、EOR回路7aに入力され、そのEOR回路7aには、期待値EXが入力される。前記ラッチ回路8bの出力信号は、

EOR回路7bに入力され、そのEOR回路7bには、期待値EXが入力される。

【0039】そして、EOR回路7aから比較結果CR1が出力され、EOR回路7bから比較結果CR2が出力される。このように構成された比較回路5aでは、入力データDQとして読み出しデータDaN、DbNが交互に入力されると、第二の基準クロック信号DQSの立ち上がり及び立ち下がりに基づいて、読み出しデータDaNがラッチ回路8aに順次ラッチされ、読み出しデータDbNがラッチ回路8bに順次ラッチされる。

【0040】そして、ラッチ回路8a、8bの出力信号がEOR回路7a、7bで期待値EXと比較され、ラッチ回路8a、8bの出力信号と期待値EXとが一致すると、Lレベルの比較結果CR1、CR2が出力され、ラッチ回路8a、8bの出力信号と期待値EXとが一致しないと、Hレベルの比較結果CR1、CR2が出力される。

【0041】前記判定回路6の具体的構成を図4に示す。図4に示す判定回路6aは、前記比較回路5aから出力される比較結果CR1、CR2がOR回路12aに入力され、そのOR回路12aの出力信号がNチャネルMOSTランジスタTr1を介してラッチ回路8cに入力される。

【0042】前記トランジスタTr1のゲートには、第二の基準クロック信号DQSがインバータ回路10bを介して入力される。そして、ラッチ回路8cから判定結果TRが出力される。

【0043】このように構成された判定回路6aでは、比較回路5aから出力される比較結果CR1、CR2がともにLレベルとなると、OR回路12aの出力信号がLレベルとなり、少なくともいずれかがHレベルとなるとOR回路12aの出力信号がHレベルとなる。

【0044】そして、第二の基準クロック信号DQSの立ち下がりに基づいて、OR回路12aの出力信号がラッチ回路8cでラッチされて、判定信号TRとして出力される。

【0045】次に、上記のように構成されたDDRSDRAMの試験回路の動作を図5に従って説明する。メモリ回路1内の各記憶セルには、試験に先立って、たとえば「1」のセル情報を書き込む。次いで、テストモードを設定すると、スイッチ回路SW3、SW4が導通状態となる。

【0046】この状態で、メモリ回路1に基準クロック信号CLK及び読み出し制御信号Readが入力され、メモリ回路1において読み出し制御信号Readを取り込んでから、所定のレイテンシーRLを経た後（図5においてはRL=2）、マルチプレクサ回路2に第二の基準クロック信号DQSが入力されると、メモリ回路1から読み出しデータDaN、DbNが出力され、第二の基準クロック信号DQSの立ち上がり及び立ち下がりに基づいて、マルチプレクサ回路2から読み出しデータDaN、DbNが交互に出力され、その読み出しデータDaN、DbNが出力回路4から出力データDQとして出力される。

【0047】比較回路5aに第二の基準クロック信号DQS及び出力データDQが入力されると、第二の基準クロック信号DQSの立ち上がり及び立ち下がりに基づいて、ラッチ回路8a、8bに読み出しデータDaN、DbNが順次ラッチされる。

【0048】そして、ラッチ回路8a、8bの出力信号と、期待値EXとがEOR回路7a、7bで順次比較され、その比較結果CR1、CR2が第二の基準クロック信号DQSの半周期分ずれた状態で、順次出力される。

【0049】期待値EXは、あらかじめ書き込まれた書き込みデータに基づいてHレベルであるので、読み出しデータDaN、DbNがHレベルであれば、比較結果CR1、CR2はLレベルとなる。

【0050】判定回路6aでは、比較結果CR1、CR2がOR回路12aに入力され、そのOR回路12aの出力信号が第二の基準クロック信号DQSの立ち下がりに基づいて、判定結果TRとして出力される。

【0051】そして、比較結果CR1、CR2がともにLレベルであれば、判定結果TRもLレベルとなる。一方、図5に示すように、例えば読み出しデータDa3にエラーが発生してLレベルとなると、比較結果CR1は第二の基準クロック信号DQSの立ち上がりに基づいてHレベルとなる。

【0052】すると、判定回路6aでは、第二の基準クロック信号DQSの次の立ち下がりに基づいてHレベルの判定結果TRを出力する。この結果、試験装置では、当該DDRSDRAMの動作不良を検出可能となる。

【0053】上記のように構成されたDDRSDRAMの試験回路では、次に示す作用効果を得ることができる。

(1) DDRSDRAMの読み出し動作のデータレートを外付試験装置に合わせて低下させることなく、動作試験を行うことができるので、試験時間の短縮を図ることができる。

【0054】(2) 外部試験装置のデータレートを向上させることなく、DDRSDRAMの通常のデータレートで動作試験を行うことができるので、外部試験装置の動作速度の向上を図る必要はない。

【0055】(3) 動作試験を行うために、DDRSDRAMに搭載する試験回路は小規模な回路であるので、DDRSDRAMのチップ面積の増大を防止することができる。

(第二の実施の形態) この実施の形態は、前記第一の実施の形態の比較回路5a及び判定回路6aの構成を変更したものである。

【0056】図6に示す比較回路5bの転送ゲート9c

～9f、インバータ回路10c、10d、ラッチ回路8d～8g及びEOR回路7d～7gは、前記比較回路5aを二組ならべた構成であり、転送ゲート9c、9dには前記出力データDQがNチャネルMOSトランジスタTr2を介して入力され、転送ゲート9e、9fには前記出力データDQがNチャネルMOSトランジスタTr3を介して入力される。

【0057】前記トランジスタTr2、Tr3のゲートには、カウンタ回路11aの出力信号が入力され、そのカウンタ回路11aには、前記第二の基準クロック信号DQSが入力される。

【0058】そして、前記カウンタ回路11aは、前記第二の基準クロック信号DQSをカウントして、第二の基準クロック信号DQSの1周期毎に、トランジスタTr2、Tr3を交互にオンさせるようになっている。

【0059】このように構成された比較回路5bでは、出力データDQ及び第二の基準クロック信号DQSが入力されると、まず第二の基準クロック信号DQSの立ち上がりでラッチ回路8dに読み出しデータDa1がラッチされ、次の第二の基準クロック信号DQSの立ち下がりでラッチ回路8eに読み出しデータDb1がラッチされ、次の第二の基準クロック信号DQSの立ち上がりでラッチ回路8fに読み出しデータDa2がラッチされ、次の第二の基準クロック信号DQSの立ち下がりでラッチ回路8gに読み出しデータDb2がラッチされ、このような動作が順次繰り返される。

【0060】従って、各ラッチ回路8d～8gには、各読み出しデータが第二の基準クロック信号DQSの半周期分ずつずれた状態で、それぞれ2周期の間ラッチされる。そして、各ラッチ回路8d～8gの出力信号がEOR回路7d～7gで期待値EXと比較され、比較結果CR3～CR6がEOR回路7d～7gから出力される。

【0061】前記比較回路5bの比較結果CR3～CR6を入力する判定回路は、前記第一の実施の形態の判定回路6aのOR回路12aを4入力とした構成とすればよい。

【0062】このように構成された試験回路では、前記第一の実施の形態と同様な作用効果を得ることができる。とともに、ラッチ回路8d～8gの出力信号の周波数を第一の実施の形態のラッチ回路8a、8bの出力信号の1/2とすることができるので、さらに安定した比較動作及び判定動作を行うことができる。

（第三の実施の形態）この実施の形態は、前記第一の実施の形態の比較回路5a及び判定回路6aの構成を変更したものである。

【0063】図7に示す比較回路5cは、前記出力回路4から出力される出力データDQと期待値EXが入力されるEOR回路7hで構成される。このような構成により、比較回路5cは出力データDQと期待値EXが一致したときLレベル、一致しないときHレベルの比較結果

CRを出力する。

【0064】また、前記比較回路5cに代えて、図8に示すように、ラッチ回路8hを介して出力データDQをEOR回路7iに入力した比較回路5dとしてもよい。この比較回路5dは、ラッチ回路8hの動作により、比較回路5cに比して、比較動作が安定する。なお、この比較回路5c、5dには、第二の基準クロック信号DQSを入力する必要はない。

【0065】図9に示す判定回路6bは、前記比較結果CRが転送ゲート9gを介してラッチ回路8iに入力され、転送ゲート9hを介してラッチ回路8jに入力される。前記第二の基準クロック信号DQSは、前記転送ゲート9gのNチャネル側ゲートに入力されるとともに、前記転送ゲート9hのPチャネル側ゲートに入力される。

【0066】また、前記第二の基準クロック信号DQSは、インバータ回路10eを介して前記転送ゲート9gのPチャネル側ゲートに入力されるとともに、前記転送ゲート9hのNチャネル側ゲートに入力される。

【0067】従って、前記第二の基準クロック信号DQSがHレベルとなると、転送ゲート9gが導通するとともに、転送ゲート9hが不導通となる。また、第二の基準クロック信号DQSがLレベルとなると、転送ゲート9hが導通するとともに、転送ゲート9gが不導通となる。

【0068】前記ラッチ回路8i、8jの出力信号は、OR回路12bに入力され、そのOR回路12bの出力信号は、NチャネルMOSトランジスタTr4を介してラッチ回路8kに入力される。

【0069】前記トランジスタTr4のゲートには前記第二の基準クロック信号DQSがインバータ回路10fを介して入力される。そして、ラッチ回路8kから前記判定結果TRが出力される。

【0070】このように構成された判定回路6bでは、第二の基準クロック信号DQSがHレベルとなると、転送ゲート9gが導通するとともに、転送ゲート9hが不導通となる。すると、比較結果CRが転送ゲート9gを介してラッチ回路8iでラッチされ、OR回路12bに出力される。

【0071】また、第二のクロック信号DQSがLレベルとなると、転送ゲート9hが導通するとともに、転送ゲート9gが不導通となる。すると、比較結果CRが転送ゲート9hを介してラッチ回路8jでラッチされ、OR回路12bに出力される。

【0072】OR回路12bは、ラッチ回路8i、8jの出力信号のOR論理を出力する。そして、第二の基準クロック信号DQSがLレベルとなると、トランジスタTr4がオンされて、OR回路12bの出力信号がラッチ回路8kでラッチされ、判定結果TRとして出力される。



【0073】このように構成された試験回路では、出力データDQとして出力される読み出しデータDaN、DbNが比較回路5c若しくは同5dで期待値EXと順次比較され、比較結果CRが判定回路6bに入力される。

【0074】判定回路6bでは、前記第一の実施の形態の比較回路5aと類似した動作により、読み出しデータDaN、DbNの比較結果CRがラッチ回路8i、8jに順次ラッチされ、そのラッチ回路8i、8jの出力信号がOR回路12bに入力される。

【0075】OR回路12bでは、ラッチ回路8i、8jの出力信号がともにLレベルの場合に限り、Lレベルの出力信号を出力する。そして、第二の基準クロック信号DQSの立ち下がりに基づいて、OR回路12bの出力信号が判定結果TRとして出力される。

【0076】このような動作により、この実施の形態の試験回路では、前記第一の実施の形態と同様な作用効果を得ることができる。

（第四の実施の形態）この実施の形態は、前記第三の実施の形態の判定回路6bの構成を、図10に示す判定回路6cに変更したものであり、比較回路は第三の実施の形態の比較回路5c若しくは同5dと同様である。

【0077】図10に示す判定回路6cのカウント回路11b、トランジスタTr5、Tr6、転送ゲート9i～9m、インバータ回路10g、10h及びラッチ回路81～8pの構成及び動作は、図6に示す比較回路5bと同様である。

【0078】前記ラッチ回路81～8pの出力信号はOR回路12cに入力され、そのOR回路12cの出力信号はNチャネルMOSTランジスタTr7を介してラッチ回路8qに入力される。

【0079】前記カウント回路11bは、第二の基準クロック信号DQSをカウントする毎にカウント信号N1、N2を交互にHレベルとして、トランジスタTr5、Tr6を交互にオンさせる。

【0080】前記カウント信号N2は、AND回路13に inputs され、そのAND回路13には、第二の基準クロック信号DQSがインバータ回路10iを介して入力されている。そして、AND回路13の出力信号が前記トランジスタTr7のゲートに inputs される。

【0081】従って、カウント回路11bのカウント信号N2がHレベルの状態で、第二の基準クロック信号DQSがLレベルに立ち下がると、AND回路13の出力信号がHレベルとなってトランジスタTr7がオンされ、OR回路12cの出力信号がラッチ回路8qでラッチされ、判定信号TRとして出力される。

【0082】上記のように構成された試験回路の動作を図11に従って説明する。テストモードが設定されて、出力回路4から読み出しデータDaN、DbNが出力データDQとして出力されるまでは、前記第一の実施の形態と同様である。

【0083】比較回路5c若しくは同5dに読み出しデータDaN、DbNが inputs されると、その読み出しデータDaN、DbNと期待値EXとの比較結果CRが判定回路6cに順次出力される。

【0084】判定回路6cでは、読み出しデータDaN、DbNがカウンタ回路11bのカウント信号N1、N2及び第二の基準クロック信号DQSに基づいてラッチ回路81～8pに順次ラッチされ、各ラッチ回路81～8pの出力信号のOR論理がOR回路12cから出力される。

【0085】そして、カウント信号N2がHレベルにある状態で、第二の基準クロック信号DQSがLレベルに立ち下がると、OR回路12cの出力信号がラッチ回路8qでラッチされて、判定結果TRとして出力される。

【0086】このような動作により、判定回路6cにLレベルの比較結果CRが inputs されつづければ、判定結果TRもLレベルとなる。一方、例えば読み出しデータDa3にエラーが発生してLレベルとなると、比較結果CRは読み出しデータDa3の inputs に基づいてHレベルとなる。

【0087】すると、判定回路6cでは、比較結果CRがラッチ回路8mにラッチされた後、カウント信号N2がHレベルとなり、かつ第二の基準クロック信号DQSがLレベルに立ち下がった時点で、Hレベルの判定結果TRを出力する。この結果、試験装置では、当該DDR SDRAMの動作不良を検出可能となる。

【0088】上記のように構成されたDDR SDRAMの試験回路では、前記第一の実施の形態で得られた作用効果に加えて、次に示す作用効果を得ることができる。

（1）ラッチ回路81～8pの出力信号の周波数を第一の実施の形態のラッチ回路8a、8bの出力信号の1/2とすることができるので、さらに安定した判定動作を行うことができる。

【0089】（2）判定信号TRの出力周波数を、出力データDQの出力周波数の1/8とし、かつ第二の基準クロック信号DQSの1/4とすることができるので、外部試験装置により、動作不良の判定を確実に行うことができる。

（第五の実施の形態）図12は、第一の実施の形態のメモリ回路1のリードレイテンシーRLが2.5に設定されている場合の試験回路の動作を示す。

【0090】すなわち、試験回路を構成する比較回路5a及び判定回路6aは、基準クロック信号CLKに関わらず、第二の基準クロック信号DQSのみに基づいて動作するため、リードレイテンシーRLが変化しても、まったく同様に動作する。

【0091】従って、この試験回路は、メモリ回路1のリードレイテンシーRLに関わらず、安定して動作する。また、前記第二～第四の実施の形態の試験回路についても、同様にメモリ回路1のリードレイテンシーRL

に関わらず、安定して動作する。

（第六の実施の形態）図13は、第六の実施の形態を示す。この実施の形態は、前記第一の実施の形態の試験回路に位相シフト回路14を加えたものであり、第二の基準クロック信号DQSが位相シフト回路14を介して比較回路5及び判定回路6に供給されている。

【0092】前記位相シフト回路14の一例を図14に示す。すなわち、第二の基準クロック信号DQSは、インバータ回路10jに入力され、そのインバータ回路10jの入力端子には複数のNチャンネルMOSトランジスタTrnのドレインが接続される。

【0093】前記トランジスタTrnのソースは、それぞれ容量Cを介してグランドGNDに接続される。前記トランジスタTrnのゲートには、それぞれ位相制御信号PHが入力される。前記位相制御信号PHは、例えば外部試験装置から入力され、前記トランジスタTrnのうちいずれのトランジスタTrnをオン動作させるかを選択可能となっている。

【0094】前記インバータ回路10jの出力信号は、インバータ回路10kを介して位相シフト信号DQSPとして出力される。このように構成された位相シフト回路14では、位相制御信号PHにより、オンさせるトランジスタTrnの数を調節することにより、インバータ回路10jの入力端子の容量が調節される。

【0095】そして、インバータ回路10jの入力端子の容量値により、位相シフト信号DQSPは第二のクロック信号DQSに対し遅延した信号となり、その容量値を調節することにより、位相シフト信号DQSPの遅延量を調節可能である。

【0096】上記のようにな位相シフト回路14を備えた試験回路では、図15に示すように、テストモード時に位相シフト信号DQSPの遅延量を調節することにより、比較回路5aでの読み出しデータDaN、DbNのラッチタイミングの変更が可能となる。

【0097】従って、位相シフト信号DQSPの遅延量を調節して、Lレベルの判定信号TRが正常に出力される範囲を検出することにより、各読み出しデータDaN、DbNのデータ出力期間等の測定を行うことができる。

【0098】上記実施の形態は、次に示すように変更することもできる。

・DDRSDRAMに搭載する試験回路以外に、高速でデータを出力する半導体装置の試験回路として使用してもよい。

【0099】

【発明の効果】以上詳述したように、この発明は回路面積を増大させることなく、動作試験時間の短縮を図り得

る試験回路を備えた半導体装置を提供することができ

る。

【図面の簡単な説明】

【図1】 本発明の原理説明図である。

【図2】 第一の実施の形態を示すブロック図である。

【図3】 第一の実施の形態の比較回路を示す回路図である。

【図4】 第一の実施の形態の判定回路を示す回路図である。

【図5】 第一の実施の形態の動作を示すタイミング波形図である。

【図6】 第二の実施の形態の比較回路を示す回路図である。

【図7】 第三の実施の形態の比較回路を示す回路図である。

【図8】 第三の実施の形態の比較回路の別例を示す回路図である。

【図9】 第三の実施の形態の判定回路を示す回路図である。

【図10】 第四の実施の形態の判定回路を示す回路図である。

【図11】 第四の実施の形態の動作を示すタイミング波形図である。

【図12】 第五の実施の形態の動作を示すタイミング波形図である。

【図13】 第六の実施の形態を示すブロック図である。

【図14】 第六の実施の形態の位相シフト回路を示す回路図である。

【図15】 第六の実施の形態の動作を示すタイミング波形図である。

【図16】 DDRSDRAMの動作を示すタイミング波形図である。

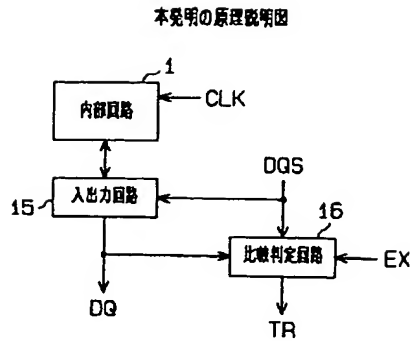
【図17】 従来のDDRSDRAMの試験回路を示すブロック図である。

【図18】 従来例の動作を示すタイミング波形図である。

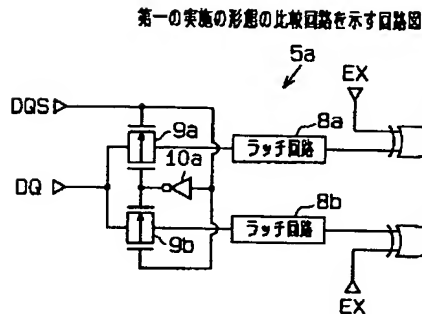
【符号の説明】

1	内部回路（メモリ回路）
15	入出力回路
16	比較判定回路
CLK	第一の基準クロック信号
DQS	第二の基準クロック信号
DQ	被判定データ（出力データ）
EX	期待値
TR	判定結果

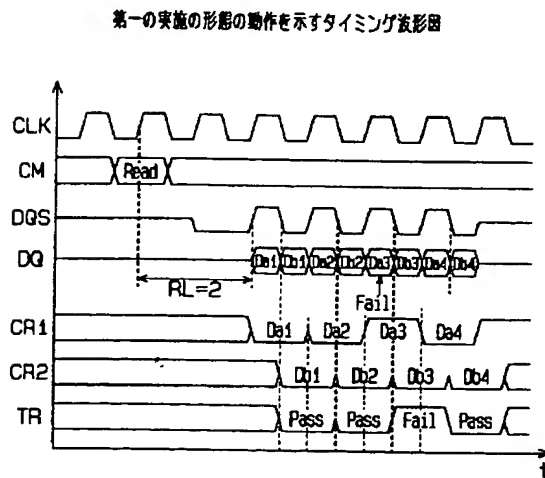
【図1】



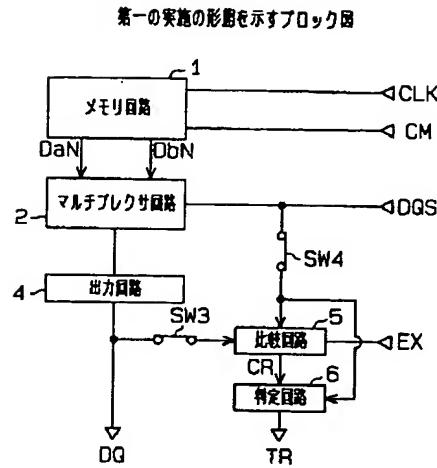
【図3】



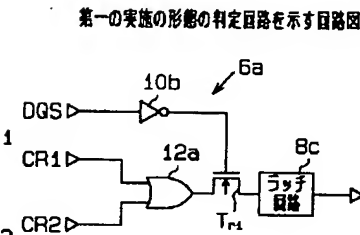
【図5】



【図2】

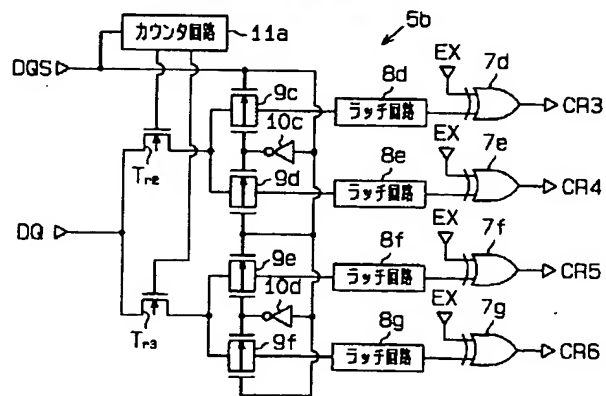


【図4】



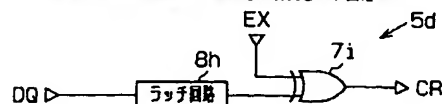
【図6】

第二の実施の形態の比較回路を示す回路図

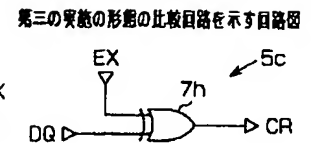


【図8】

第三の実施の形態の比較回路の別例を示す回路図

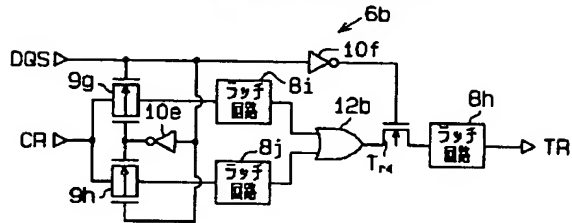


【図7】



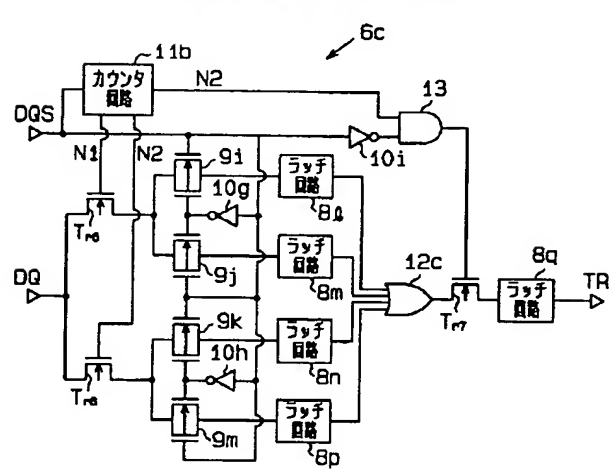
【図9】

第三の実施の形態の判定回路を示す回路図



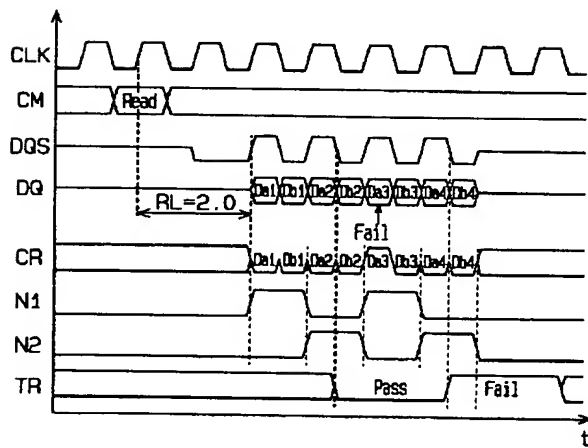
【図10】

第四の実施の形態の判定回路を示す回路図



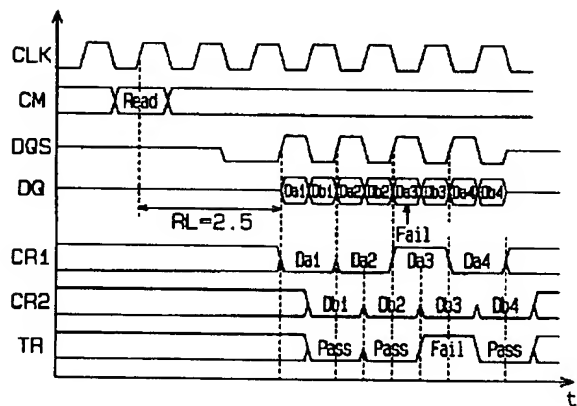
【図11】

第四の実施の形態の動作を示すタイミング波形図



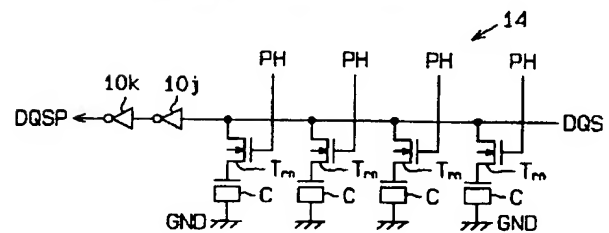
【図12】

第五の実施の形態の動作を示すタイミング波形図



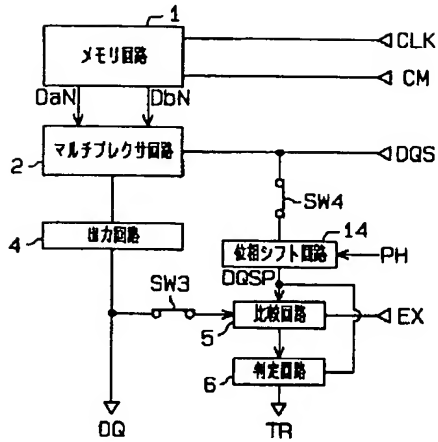
【図14】

第六の実施の形態の位相シフト回路を示す回路図



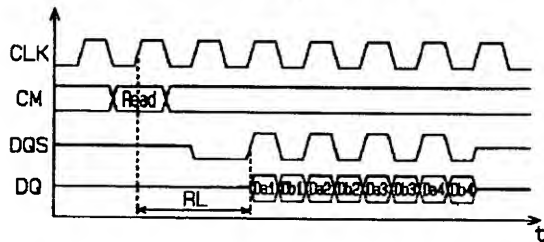
【図13】

第六の実施の形態を示すブロック図



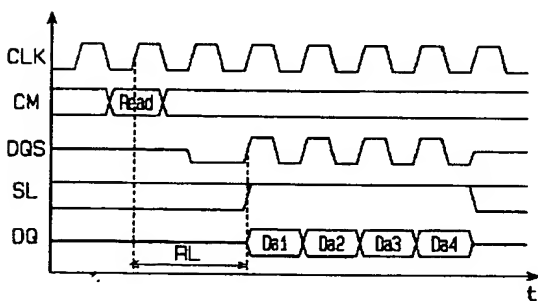
【図16】

DDRSDRAMの動作を示すタイミング波形図



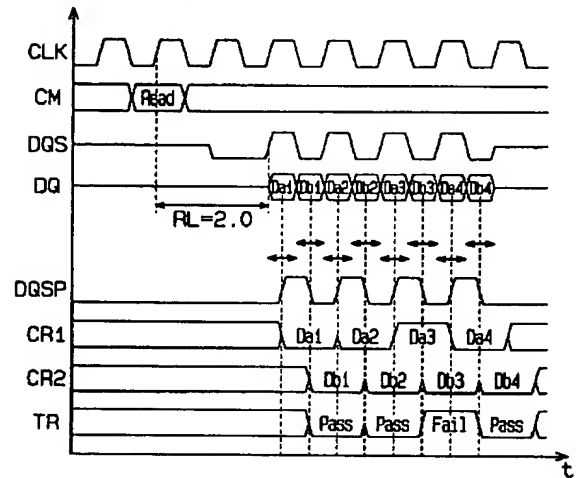
【図18】

従来例の動作を示すタイミング波形図



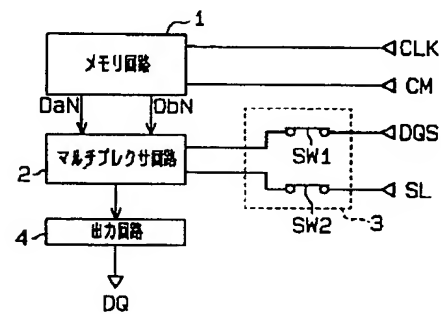
【図15】

第六の実施の形態の動作を示すタイミング波形図



【図17】

従来のDDRSDRAMの試験回路を示すブロック図



## フロントページの続き

(51)Int. Cl. <sup>7</sup>	識別記号	F I	キーワード(参考)
G 0 6 F 12/16	3 3 0	G 0 1 R 31/28	D 5 L 1 0 6
G 1 1 C 11/407			B 9 A 0 0 1
11/401		G 1 1 C 11/34	3 6 2 S
H 0 1 L 27/04			3 7 1 A
21/822		H 0 1 L 27/04	T

F ターム(参考) 2G032 AA07 AB01 AD06 AE07 AE08  
 AE10 AG02 AG07 AH04 AK14  
 5B018 GA03 HA01 HA31 NA02 QA13  
 5B024 AA15 BA21 BA29 CA07 CA11  
 EA02 EA04  
 5B048 AA19 CC02 DD10 FF01  
 5F038 DF05 DT02 DT08 DT19 EZ20  
 5L106 AA01 DD03 DD04 DD11 FF05  
 GG05 GG07  
 9A001 BB03 LL05